

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-208790

(43)Date of publication of application : 26.07.1994

(51)Int.Cl.

G11C 11/407  
G11C 11/41  
H03K 5/13  
H03K 19/0948

(21)Application number : 05-003011

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 12.01.1993

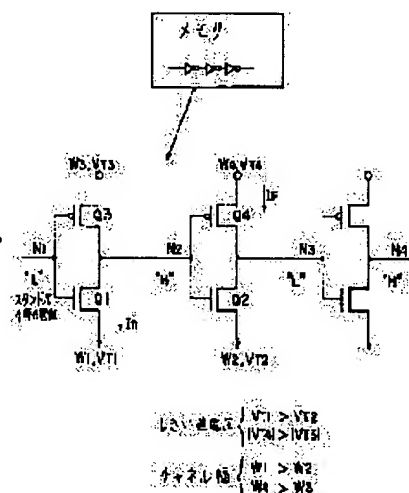
(72)Inventor : TAKASHIMA DAIZABURO

## (54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To sustain high speed operation while suppressing stand-by current even when a low voltage internal power supply is employed by setting a threshold for a MOS transistor and setting the power supply variably at the time of stand-by.

CONSTITUTION: Nodes N1 and N3 have L levels whereas nodes N2 and N4 have H levels. When the threshold voltages V11, V14 of TrQ1, Q4 having source-drain applied with Vcc (cut off) are kept at high levels for the inverters in two preceding stages, stand-by current can be restricted to  $1\mu\text{A}$ , for example. The stand-by current increases even if the source-drain voltage exceeds the threshold voltages V12, V13 of TrQ2, Q3. Consequently, the threshold voltages V12, V13, can be lowered without increasing leak current at the time of stand-by. Leak current of an active transistor increases when the V12, V13 are lowered but the leak can be neglected to some extent because of high active current of memory.



## LEGAL STATUS

[Date of request for examination] 01.12.1999

[Date of sending the examiner's decision of rejection] 21.05.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2002-11282

[Date of requesting appeal against examiner's decision of rejection] 20.06.2002

[Date of extinction of right]

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-208790

(43)公開日 平成6年(1994)7月26日

(51)IntCl<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 11/407

11/41

H 0 3 K 5/13

4239-5 J

6866-5L

G 1 1 C 11/ 34

3 5 4 F

6866-5L

A

審査請求 未請求 請求項の数3 O L (全 12 頁) 最終頁に続く

(21)出願番号 特願平5-3011

(22)出願日 平成5年(1993)1月12日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 高島 大三郎

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

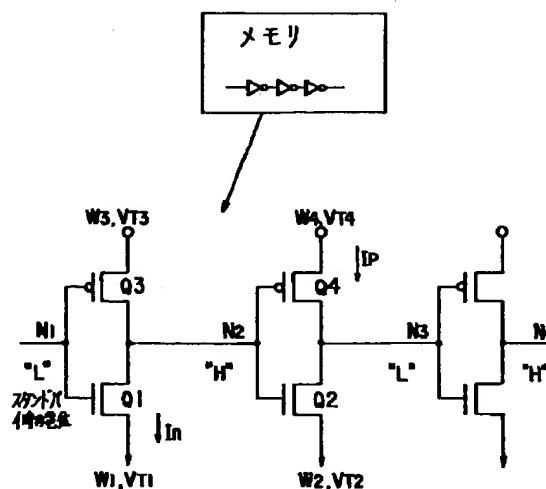
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 内部電源を低電圧化した場合にも高速動作を保ち、且つスタนด์バイ電流を低く抑えることのできる半導体装置を提供すること。

【構成】 消費電流が大きいアクティブ時と消費電流が極めて小さいスタนด์バイ時が存在し、スタนด์バイ時には一定の“H”レベル又は“L”レベルに固定になっている接続ノードをソース又はドレインとする、pチャネル及びnチャネルのMOSトランジスタを有する半導体装置において、同一チャネルのMOSトランジスタに関し、スタนด์バイ時にカットオフするトランジスタQ1, Q4のしきい値 $V_{t1}$ ,  $V_{t4}$ を、スタนด์バイ時にオンするトランジスタQ2, Q3のしきい値 $V_{t2}$ ,  $V_{t3}$ よりも高く設定( $V_{t1} > V_{t2}$ ,  $|V_{t4}| > |V_{t3}|$ )してなることを特徴とする。



しきい値電圧  $\begin{cases} V_{t1} > V_{t2} \\ |V_{t4}| > |V_{t3}| \end{cases}$

チャネル幅  $\begin{cases} W1 > W2 \\ W4 > W3 \end{cases}$

## 【特許請求の範囲】

【請求項1】消費電流が大きいアクティブ時と消費電流が極めて小さいスタンバイ時が存在し、スタンバイ時には一定の“H”レベル又は“L”レベルに固定になっている接続ノードをソース又はドレインとする、pチャネル及びnチャネルのMOSTランジスタを有する半導体装置において、

同一チャネルのMOSTランジスタに関し、スタンバイ時にカットオフするMOSTランジスタのしきい値を、スタンバイ時にオンするMOSTランジスタのしきい値よりも高く設定してなることを特徴とする半導体装置。

【請求項2】同一チャネルのMOSTランジスタに関し、しきい値が低い方のMOSTランジスタのチャネル幅を、しきい値が高い方のMOSTランジスタのチャネル幅より小さく設定したことを特徴とする請求項1記載の半導体装置。

【請求項3】消費電流が大きいアクティブ時と消費電流が極めて小さいスタンバイ時が存在し、スタンバイ時には一定の“H”レベル又は“L”レベルに固定になっている接続ノードをソース又はドレインとする、pチャネル及びnチャネルのMOSTランジスタを有する半導体装置において、

スタンバイ時にカットオフするpチャネルMOSTランジスタが接続しているVcc電源側を、スタンバイ時にVccの電位よりも下げる手段と、スタンバイ時にカットオフするnチャネルMOSTランジスタが接続しているVss電源側を、スタンバイ時にVssの電位よりも上げる手段と、を具備してなることを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、消費電流が大きいアクティブ動作と消費電流が極めて小さいスタンバイ動作が存在する半導体装置に係わり、特に低電圧化に適した構成の半導体装置に関する。

## 【0002】

【従来の技術】近年、DRAMやその他LSIの高集積化、バッテリー駆動のために、低消費電力化と共に内部電源Vccの低下が進められている。例えばDRAMでは、図15(a)に示すように、各世代毎に動作の内部電源Vccは低下する方向にある。具体的には1G、4GビットのDRAMでは、Vccが1.5～1.0Vにまで低下する。また、電池駆動（バッテリー駆動）用LSIにおいても、Vccとして1.5V～0.8V動作が要望されている。

【0003】しかしながら、LSIにおいてはMOSTランジスタのしきい値電圧Vtが存在し、図15(b)に示すように、Vt付近にVccが近づくとき急激に動作スピード（ゲート遅延時間）が低下してしまう問題があ

る。これを防止するために、しきい値電圧Vtを小さくしてしまうと、スタンバイ電流が急激に増加する問題を招く。

【0004】図16に従来例として、メモリ内のある一部の回路を示す。これは、3段のインバータの例である。スタンバイ時には、ノードN1とN3が“L”レベルとなり、ノードN2とN4が“H”レベルとなる。このとき、前2段のインバータを見ると、トランジスタQ1とQ4を通してリーク電流I<sub>leak</sub>が流れる。同様にメモリ全体にこの状態が存在し、トランジスタのしきい値を下げるとリーク電流が大幅に増加する。

【0005】図15(c)は、トランジスタのしきい値電圧Vtと16MビットDRAMレベルチップのスタンバイ電流との関係を示す。この図から、スタンバイ電流を1μAに抑えるには、最低0.6Vのしきい値電圧が必要となることが分る。

【0006】図17に、SRAM(a)及びDRAM(b)のスタンバイ時とアクティブ時における電流の変化を示す。アクティブ時の電流をI<sub>cc1</sub>、スタンバイ時の電流をI<sub>cc2</sub>とする。通常、メモリはデータをアクセスしない時にスタンバイ状態にし電流を減らすのであるが、スタンバイ状態の期間の方がアクティブ状態のそれよりも遅かに長いので、このときの電流I<sub>cc2</sub>を十分に低下させる必要がある。このスタンバイ状態は、バッテリーバックアップで動作しない時の電流の決め手となる。

## 【0007】

【発明が解決しようとする課題】このように従来の半導体装置においては、LSIの内部電源Vccを低電圧化した場合、Vccがトランジスタのしきい値Vtに近付いて動作速度が遅くなる問題があり、またしきい値Vtを下げるとスタンバイ電流が増大するという問題があった。

【0008】本発明は、上記事情を考慮してなされたもので、その目的とするところは、内部電源を低電圧化した場合にも高速動作を保ち、且つスタンバイ電流を低く抑えることのできる半導体装置を提供することにある。

## 【0009】

【課題を解決するための手段】本発明の骨子は、スタンバイ時の消費電流低減と高速動作という相反する問題を解決するために、MOSTランジスタのしきい値の設定やスタンバイ時の電源Vcc、Vssの可変設定を行うことにある。

【0010】即ち本発明（請求項1）は、消費電流が大きいアクティブ時と消費電流が極めて小さいスタンバイ時が存在し、スタンバイ時には一定の“H”レベル又は“L”レベルに固定になっている接続ノードをソース又はドレインとする、pチャネル及びnチャネルのMOSTランジスタを有する半導体装置において、同一チャ

チャネルのMOSTランジスタに関し、スタンバイ時にカットオフするランジスタのしきい値を、スタンバイ時にオンするランジスタのしきい値よりも高く設定したことを特徴とする。ここで、本発明の望ましい実施態様としては、次のものがあげられる。

【0011】(1) 同一チャネルのMOSTランジスタに関し、しきい値が低い方のランジスタのチャネル幅を、しきい値が高い方のランジスタのチャネル幅より小さく設定すること。

【0012】(2) NOR、NANDなどMOSTランジスタが直列接続されており、スタンバイ時にこの直列回路がカットオフする場合には、直列接続のランジスタの少なくとも1個のしきい値電圧を高くすること。

【0013】また、本発明(請求項3)は、消費電流が大きいアクティブ時と消費電流が極めて小さいスタンバイ時が存在し、スタンバイ時には一定の“H”レベル又は“L”レベルに固定になっている接続ノードをソース又はドレインとする、pチャネル及びnチャネルのMOSTランジスタを有する半導体装置において、スタンバイ時にカットオフするpMOSTランジスタが接続しているVcc電源側を、スタンバイ時にVccの電位よりも下げ、スタンバイ時にカットオフするnMOSTランジスタが接続しているVss電源側を、スタンバイ時にVssの電位よりも上げ、かつスタンバイ時にオンするpMOS、nMOSに接続する各電源側の電位を変えないことを特徴とする。ここで、本発明の望ましい実施態様としては、次のものがあげられる。

【0014】(1) NOR、NANDなどMOSTランジスタが直列接続されており、その端にVcc、Vssがある場合、スタンバイ時にカットオフする直列回路では、そのVccを下げ、Vssを上げること。

【0015】(2) pチャネル及びnチャネルのMOSTランジスタからなるセルが複数個配置されたコア回路が複数個設けられている場合、アクティブ時となっても選択されないコア回路は、スタンバイ時にカットオフするpMOSTランジスタが接続しているVcc電源側と、スタンバイ時にカットオフするnMOSTランジスタが接続しているVss電源側を、スタンバイ時と同じ電位に保持すること。

【0016】

【作用】本発明(請求項1、2)によれば、スタンバイ時にカットオフするランジスタ及びオンするランジスタのしきい値を上述のように設定することにより、次のような作用を奏する。例えば、カットオフするランジスタのしきい値を変えずに、オンするランジスタのしきい値を低くすることにより、スタンバイ時におけるリーク電流を増やすことなく、高速化をはかることが可能となる。逆に、オンするランジスタのしきい値を変えずに、カットオフするランジスタのしきい値を高くすることにより、高速動作を阻害することなく、ス

タンバイ時におけるリーク電流を抑制することが可能となる。

【0017】低電圧化した場合、両ランジスタのしきい値を下げると、スタンバイ時のリーク電流が問題となるが、カットオフするランジスタのしきい値をスタンバイ電流が低減できる程度に高くし、オンするランジスタのしきい値をアクティブ時の電流が大幅に増大しない程度に低くすることにより、スタンバイ電流を抑制しつつ高速動作を実現することが可能となる。

【0018】また、しきい値電圧が低いランジスタのチャネル幅を狭くし、しきい値電圧が高いランジスタのチャネル幅を広くすることにより、スタンバイからアクティブのゲート遅延をアクティブからスタンバイへのゲート遅延と同じくらいにでき、LSI全体での動作スピードを速くすることが可能となる。

【0019】本発明(請求項3)によれば、スタンバイ動作において、入力が“L”レベルでカットオフするnMOSTランジスタに接続するVssの電位を上げることにより、ゲート入力は“L”レベルになったままなので、ゲート・ソース間電圧はマイナス電位となる。従って、このnMOSTランジスタのしきい値電圧を低くしてもカットオフ特性は大幅に改善し、リーク電流を抑えることができる。

【0020】pMOSも同様に、スタンバイ動作において、入力が“H”レベルでカットオフするpMOSTランジスタに接続するVccの電位を下げることに、ゲート入力は“H”レベルのままなので、ゲート・ソース間電圧はカットオフする方向に進む。従って、このpMOSTランジスタのしきい値電圧を低くしてもカットオフ特性は大幅に良くなり、リーク電流を抑えることができる。

【0021】このように、スタンバイ時にカットオフするMOSTランジスタのしきい値を下げることで、これによりVccの電位を従来より下げても高速動作が実現でき、かつスタンバイ時のリーク電流を抑えることが可能となる。

【0022】

【実施例】以下、図面を参照して、本発明の実施例を説明する。

【0023】まず、請求項1の発明の実施例について説明する。図1は、本発明の第1の実施例に係わるメモリ一般の回路の一部の論理ゲートを示す。これは、3段のインバータの例である。

【0024】前記図16に示したようにメモリはアクティブとスタンバイ状態が存在し、スタンバイ時は、メモリチップ中の殆どの回路はある一定の値を持つ。即ち、各ノードが“H”レベルのVcc又は“L”レベルのVssとなっている。

【0025】図1の例では、ノードN1、N3が“L”レベル、ノードN2、N4が“H”レベルとなってい

る。このときに前2段のインバータを見ると、ソース・ドレイン間に $V_{cc}$ が付加されている(カットオフしている)トランジスタ $Q1$ 、 $Q4$ のしきい値電圧 $V_{t1}$ 、 $V_{t4}$ を高いまま(従来のしきい値電圧)としておけば、スタンバイ電流を例えば $1\mu A$ に抑えることができる。そして、ソース・ドレイン間の電圧が $0V$ の(オンしている)トランジスタ $Q2$ 、 $Q3$ のしきい値電圧 $V_{t2}$ 、 $V_{t3}$ を低くしてもスタンバイ電流は増加しない。

【0026】上記の理由から、スタンバイ時におけるリーク電流を増やすことなく、しきい値電圧 $V_{t2}$ 、 $V_{t3}$ を低下させることができる。 $V_{t2}$ 、 $V_{t3}$ を下げると、アクティブ時のトランジスタのリーク電流の増大が起こるが、前記図17に示すようにメモリのアクティブ電流は大きく、一般に数 $10mA$ 〜数 $100mA$ もあるので、多小のリーク電流があっても無視できる。例えば $1mA$ のリーク電流を許すと、 $V_{t2}$ 、 $V_{t3}$ のしきい値電流は、図15(c)より $0.3V$ にまで低下できる。これは同じく図15(c)より $V_{t1}$ 、 $V_{t4}$ のリークが $1\mu A$ とすると、 $0.6V$ のしきい値電圧が必要な点を考えると $V_{t1}-V_{t2}=0.3V$ 、 $|V_{t4}|-|V_{t3}|=0.3V$ となる。即ち、 $V_{t1}>V_{t2}$ 、 $|V_{t4}|>|V_{t3}|$ となる。

【0027】このときのゲート遅延を、図2に示す。図2において、(a)は従来の全 $V_t$ が高い場合を示し、(b)(c)は本実施例の場合を示している。図2(b)において、ディレイ $d1$ 、 $d3$ は従来通りであるが、ディレイ $d2$ 、 $d4$ は $V_{t2}$ 、 $V_{t3}$ が低くできるためゲート遅延は小さく、アクティブ状態からスタンバイ状態の変化時に高速化している。

【0028】ここで、しきい値が低く高速のトランジスタ $Q2$ 、 $Q3$ において、その速度が速い分、チャネル幅 $W2$ 、 $W3$ を小さくして速度を落とす。そして、この減った $W$ をしきい値が高く低速のトランジスタ $Q1$ 、 $Q4$ に振り分けて、 $W1$ 、 $W4$ を大きくして $Q1$ 、 $Q4$ を高速化することができる。

【0029】即ち、 $W1>W2$ 、 $W4>W3$ とすれば、図2(c)に示すディレイ $d1$ 、 $d2$ 、 $d3$ 、 $d4$ 共、図2(a)のディレイ $d1$ 、 $d2$ 、 $d3$ 、 $d4$ より $V_{cc}$ ミニマム時には遅延を小さくして高速化することができる。

【0030】図3は、本実施例の $V_{cc}$ ミニマムでのゲート遅延時間を示す。従来の例えば $V_t=0.6V$ の時の遅延を(1)に示す。これに対して全部を $V_t=0.3$ にした時の遅延を(3)に示すが、この場合はスタンバイ電流が多くなる。本実施例は $V_t=0.3$ と $0.6$ の2通りを、pMOS、nMOSの両方に適用している。そして、従来の $Q1$ 、 $Q2$ 、 $Q3$ 、 $Q4$ の $W$ を $W1=W$ 、 $W2=W$ 、 $W3=2W$ 、 $W4=2W$ とした場合で、本実施例の $V_{cc}$ ミニマム時の $V_t=0.6V$ のトランジスタ $Q1$ 、 $Q4$ のスピードより $V_t=0.3(V)$ の $Q2$ 、

$Q3$ のトランジスタのスピードが $K$ 倍高速の場合、

$$W1=2KW/(K+1)$$

$$W2=2W/(K+1)$$

$$W3=4W/K+1$$

$$W4=4KW/(K+1)$$

【0031】とし、 $W1/W2=K$ 倍、 $W4/W3=K$ 倍として、 $Q1$ 、 $Q4$ のチャネル幅を $Q2$ 、 $Q3$ のチャネル幅より $K$ 倍してやりアクティブ→スタンバイ、スタンバイ→アクティブのスピードを同一にする。この場合、アクティブ→スタンバイ、スタンバイ→アクティブの遅延はおおよそ次のようになる。即ち、スタンバイ→アクティブの遅延は、本実施例で

$$(K+1)/2KW + \{(K+1)/4KW\} \times 2$$

従来例で

$$(1/W) + (1/2W) \times 2$$

となり、本実施例の方が従来例よりも $2K/(K+1)$

倍速くなる。また、アクティブ→スタンバイの遅延

は、本実施例で

$$\{(K+1)/2W\} \times (1/K) + \{(K+1)/4W\} \times (1/K) \times 2$$

従来例で

$$(1/W) + (1/2W) \times 2$$

となり、スタンバイ→アクティブの場合と同様に、本

実施例の方が従来例よりも $2K/(K+1)$ 倍速くな

る。即ち、従来の遅延を1とすると全トランジスタ $V_t$

$=0.3$ の遅延は $1/K$ で本実施例の遅延は $(K+1)$

$/2K$ となるので、本実施例の遅延は

$$\{1 + (1/K)\} / 2 = (K+1) / 2K$$

で中間のスピードとなる。図3は(1)と(3)の中間に

(2)が来ることを示している。

【0032】このように本実施例によれば、スタンバイ時にカットオフするトランジスタ $Q1$ 、 $Q4$ のしきい値 $V_{t1}$ 、 $V_{t4}$ はそのままなので、スタンバイ時のリーク電流は低減できる。また、アクティブ時には大きなアクティブ電流が流れるので、アクティブ時にオフする(スタンバイ時にオンする)トランジスタ $Q2$ 、 $Q3$ のしきい値 $V_{t2}$ 、 $V_{t3}$ はアクティブ電流に比べ低ければよい。ため、しきい値 $V_{t2}$ 、 $V_{t3}$ は低くできる。よって、アクティブからスタンバイへ変わる時のゲート遅延時間は大幅に短くなり、低 $V_{cc}$ でも高速化することができる。即ち、スタンバイ時におけるリーク電流を増やすことなく高速化をはかることができる。

【0033】また、しきい値電圧が低いトランジスタ $Q2$ 、 $Q3$ のチャネル幅を狭くし、しきい値電圧が高いトランジスタ $Q1$ 、 $Q4$ のチャネル幅を広くすることにより、スタンバイからアクティブのゲート遅延をアクティブからスタンバイへのゲート遅延と同じくらいにでき、これによりLSI全体での動作スピードを速くすることができる。

【0034】図4及び図5の(a)〜(c)は、それぞ

れ本発明の第2の実施例を示す。これは、本発明をインバータばかりでなくNANDやNORゲートに適用した例である。

【0035】NANDでは、図4(a)(b)に示すように出力がスタンバイ時に“H”となる場合、スタンバイ時にカットオフするnMOSTランジスタのしきい値 $V_t$ を高くし、図4(c)に示すように出力がスタンバイ時に“L”となる場合、スタンバイ時にカットオフするpMOSTランジスタのしきい値 $V_t$ を高くする。ここで、出力がスタンバイ時“H”の時、直列のnMOSTランジスタは少なくとも1つがしきい値 $V_t$ が高ければよい。

【0036】NORでは、図5(a)に示すように出力がスタンバイ時に“H”となる場合、スタンバイ時にカットオフするnMOSTランジスタのしきい値 $V_t$ を高くし、図5(b)(c)に示すように出力がスタンバイ時に“L”となる場合、スタンバイ時にカットオフするpMOSTランジスタのしきい値 $V_t$ を高くする。ここで、出力がスタンバイ時“L”の時、直列のpMOSTランジスタは少なくとも1つがしきい値 $V_t$ が高ければよい。

【0037】このように本発明は、インバータに限らず各種のLSIに適用することができ、第1の実施例と同様の効果が得られる。また、第1の実施例と同様に、しきい値 $V_t$ の低いものはチャネルWを小さくし、 $V_t$ の高いものはWを大きくすればより有効である。

【0038】図6は、本発明をDRAMに適用した第3の実施例を示す。この例では、スタンバイ時、 $(1/2)V_{cc}$ のアリチャージの場合はソース・ドレイン間が0Vなので、全てのランジスタのしきい値 $V_t$ を低く

【0039】図7は、本発明の第4の実施例を示す。これは、本発明をDRAMのカラムデコーダに適用した例である。全てスタンバイのノードの電位に基づいて、 $V_t$ の高低及びWの大きさを変えることにより高速化することができる。

【0040】以上のように請求項1の発明は、全てのスタンバイ時にノードが固定の回路に適用できる。しかも、一部動作マージンの厳しい所にはnMOS、pMOS両方に $V_t$ の低いものを用いても、全体のリーク電流には影響しないので、本発明はチップ全体を $V_{cc}$ が低い動作では有効である。

【0041】次に、請求項3の発明の実施例について説明する。図8は、本発明の第5の実施例に係わるメモリ一般の回路の一部の論理ゲートを示す。これは、4段のインバータの例である。

【0042】前記図16に示したようにメモリはアクティブとスタンバイ状態が存在し、スタンバイ時は、メモリチップ中の殆どの回路はある一定の値を持つ、即ち、各ノードが“H”レベルの $V_{cc}$ 又は“L”レベルの

$V_{ss}$ となっている。

【0043】図8の例では、ノードN1, N3, N5が“L”レベル、ノードN2, N4が“H”レベルとなっている。このとき、ランジスタQn1, Qn3のnMOS、Qp2, Qp4のpMOSには、ソース・ドレイン間に従来の方式では高い電位差が発生している。

【0044】本実施例では、このQn1, Qn3の電源の $V_{ss}$ をチップ内部制御の $V_{ss1}$ とし、Qp2, Qp4の電源の $V_{cc}$ をチップ内部制御の $V_{cc1}$ とし、スタンバイ時には、 $V_{cc1}$ を $V_{cc}$ より低くして、 $V_{ss1}$ は $V_{ss}$ より高くすることを特徴としている。これによりスタンバイ時には、例えばQn1のゲート・ソース間電位は $V_{ss}-V_{ss1}$  ( $V_{ss1} > V_{ss}$ )のため、 $V_{ss}-V_{ss1}-V_t < -V_t$ となり通常のランジスタのしきい値 $V_t$ で、ゲート・ソース間が0Vのランジスタよりカットオフ特性が大幅に改善される。

【0045】例えば、 $V_t = 0.3V$ でも $V_{ss}-V_{ss1}-V_t = -0.3-0.3=-0.6$ で、従来の $V_t = 0.6V$ のランジスタの特性と同じになる。これにより、回路全体のしきい値電圧を下げられるので、図9に示すようにゲート遅延時間は大幅に短縮され、従来の $V_t$ よりも低い $V_{cc}$ でLSIが動作可能となり、しかもスタンバイ電流を従来と同様に抑えることができる。勿論、アクティブ時には、 $V_{ss1}$ ,  $V_{cc1}$ のノードは $V_{ss}$ ,  $V_{cc}$ の電位に戻され、通常のLSIと同じ動作方法となる。

【0046】図10(a)は第5の実施例における $V_{ss1}$ ,  $V_{cc1}$ の発生回路、図10(b)はこの回路における信号波形図を示す。図10(b)に示すように $\phi_1$ ,  $\phi_2$ のクロックをRASと同期させて動作することにより、アクティブ時には、

$V_{cc1} = V_{cc}$ ,  $V_{ss1} = V_{ss}$

スタンバイ時には、

$V_{cc1} < V_{cc}$ ,  $V_{ss1} > V_{ss}$

となる。 $\phi_1$ ,  $\phi_2$ によりスタンバイ時にはQp5, Qn5を切ることにより、自動的に $V_{cc1}$ ,  $V_{ss1}$ の電位は $V_{cc}$ 以下、 $V_{ss}$ 以上になる。

【0047】また、図11はメモリに適用した模式的な構成例を示している。周辺回路のスタンバイ時にカットオフするMOSTランジスタは共通線L1及びL2に接続され、各コア回路のスタンバイ時にカットオフとなるpMOSTランジスタの一方の端子はランジスタQ11, Q21, ..., Q31を介して共通線L1に接続され、各コア回路のスタンバイ時にカットオフとなるnMOSTランジスタの一方の端子はランジスタQ12, Q22, ..., Q32を介して共通線L2に接続されている。そして、共通線L1はランジスタQ01を介して電源 $V_{cc}$ に接続され、共通線L2はランジスタQ02を介して電源 $V_{ss}$ に接続されている。

【0048】そして、スタンバイ時はランジスタQ

01, Q02がオフで、共通線L1はVcc1の電位、共通線L2はVss1の電位となり、アクティブ時はトランジスタQ01, Q02がオンで、共通線L1はVccの電位、共通線L2はVssの電位となる。さらに、アクティブ時にあって、例えばコア回路1はトランジスタQ11, Q12がオンでVccとVssの電位となり、トランジスタQ11, Q12がオフではVcc1とVss1の電位となる。なお、この図には示さないが、周辺回路及び各コア回路の必要な部分には電源Vcc及びVssが接続されている。

【0049】このような構造では、共通線L1, L2に多数のコア回路がつながるため、スタンバイ→アクティブ時やアクティブ→スタンバイ時に大きな駆動電流が必要となる。そこで各コア回路と共通線L1, L2との間にトランジスタQ11~Q32を設置し、選択するコア回路のみトランジスタをオン・オフするようにしている。

【0050】このような構成であれば、スタンバイとアクティブとの切り換えの際に全てのコア回路でVcc, Vssの電位を変更するのではなく、一部のコア回路でVcc, Vssの電位を変更するため、スタンバイ→アクティブ時やアクティブ→スタンバイ時における消費電流を大幅に低減することができる。

【0051】図12及び図13は、本発明の第6の実施例を示す。図12(a)~(c)はNANDゲートの各スタンバイ時の固定ノードでの、Vss1, Vcc1の利用法を示す。図13(a)~(c)はNORゲートの例を示す。この他、他の論理ゲートでも同じであるが、スタンバイ時出力が“H”の時は、Vssの代わりにVss1を用い、スタンバイ時出力が“L”の時は、Vccの代わりにVcc1を用いればよい。

【0052】図14は本発明の第7の実施例を示し、これはDRAMのカラムデコードの例である。図12及び図13の記号を用いて示してある。これも、図12及び図13で説明したルールに従い同様に実現することができる。なお、本発明は上述した各実施例に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することができる。

【0053】

【発明の効果】以上詳述したように本発明によれば、MOSトランジスタのしきい値の設定やスタンバイ時の電源Vcc, Vssの可変設定を行うことにより、スタンバイ時の消費電流低減と高速動作という相反する問題を

解決することができ、内部電源を低電圧化した場合にも高速動作を保ち、且つスタンバイ電流を低く抑えた半導体装置を実現することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係わるメモリ回路の一部の論理ゲートを示す図。

【図2】第1の実施例におけるゲート遅延を示す図。

【図3】第1の実施例におけるVccミニマムでのゲート遅延時間を説明するための図。

【図4】本発明をNANDに適用した第2の実施例を示す図。

【図5】本発明をNORに適用した第2の実施例を示す図。

【図6】本発明をDRAMに適用した第3の実施例を示す。

【図7】本発明をDRAMのカラムデコードに適用した第4の実施例を示す図。

【図8】本発明の第5の実施例に係わるメモリ回路の一部の論理ゲートを示す図。

【図9】第5の実施例に用いるVss1, Vcc1の発生回路を示す図。

【図10】第5の実施例におけるゲート遅延時間を説明するための図。

【図11】第5の実施例をメモリに適用した模式的な構成例を示す図。

【図12】本発明をNANDに適用した第6の実施例を示す図。

【図13】本発明をNORに適用した第6の実施例を示す図。

【図14】本発明をDRAMのカラムデコードに適用した第7の実施例を示す図。

【図15】従来の問題点を説明するための図。

【図16】従来のインバータの回路構成を示す図。

【図17】従来のSRAM及びDRAMのスタンバイ時とアクティブ時における電流の変化を示す。

【符号の説明】

Q1, Q2, Qn1~Qn5...n MOSトランジスタ

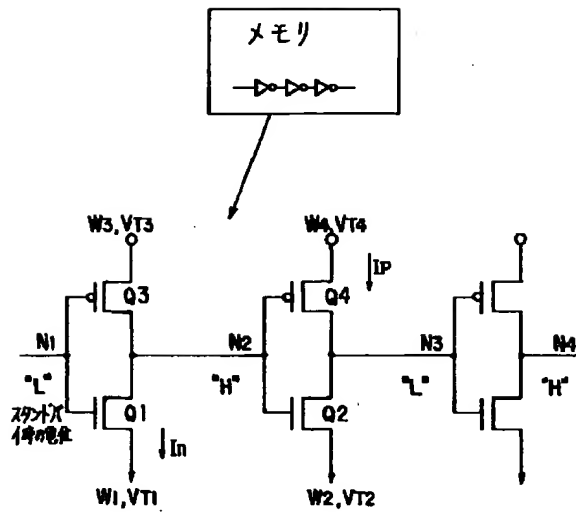
Q3, Q4, Qp1~Qp5...p MOSトランジスタ

N1~N5...ノード

Vcc, Vss...内部電源

Vcc1, Vss1...内部制御電位

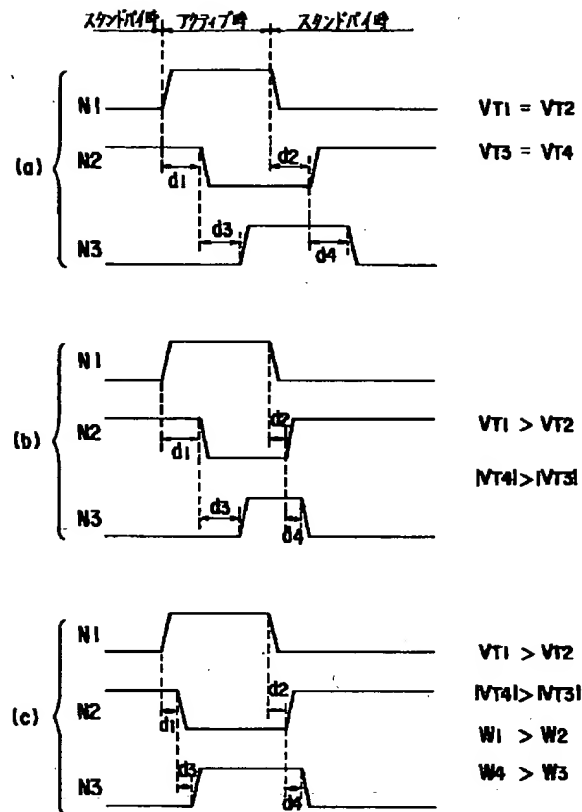
【図1】



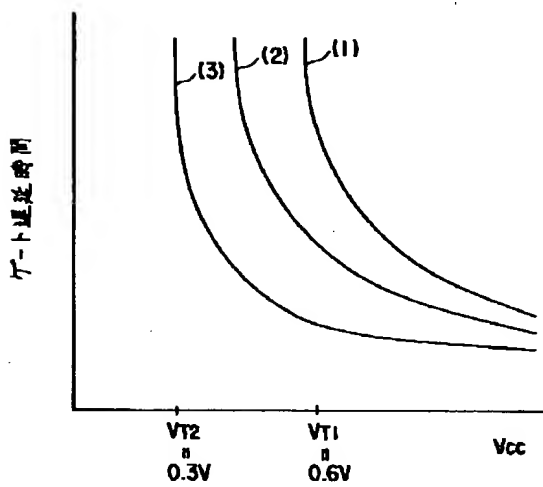
しきい値電圧  $\begin{cases} VT1 > VT2 \\ |VT4| > |VT3| \end{cases}$

チャンネル幅  $\begin{cases} W1 > W2 \\ W4 > W3 \end{cases}$

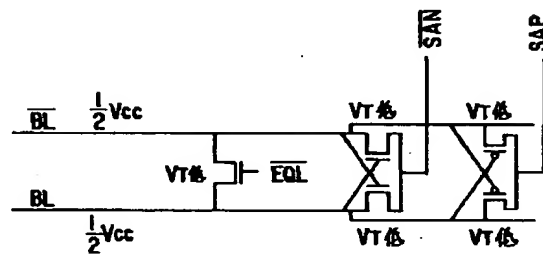
【図2】



【図3】

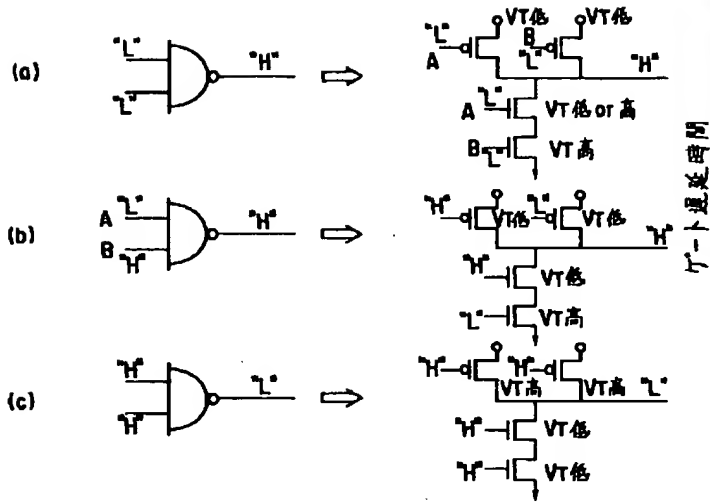


【図6】

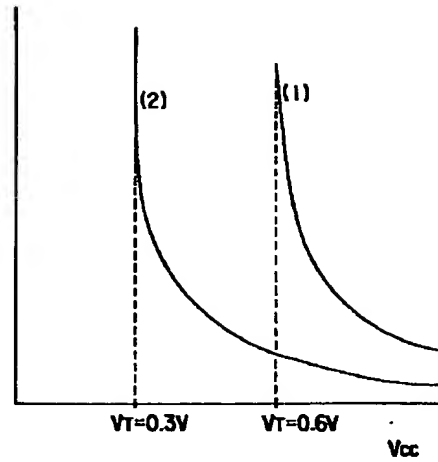




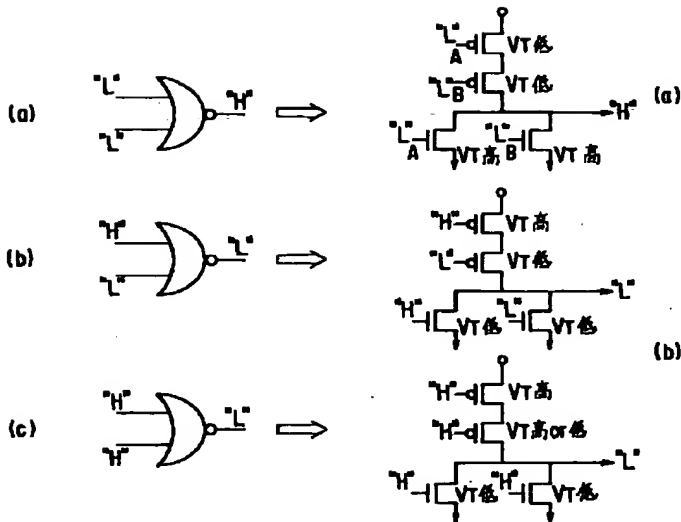
【図4】



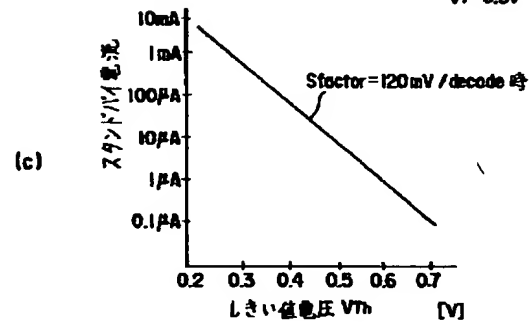
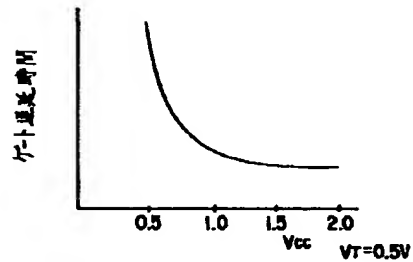
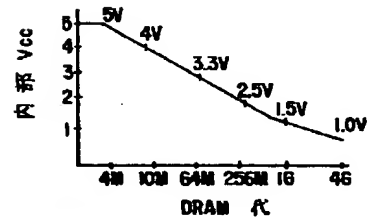
【図9】



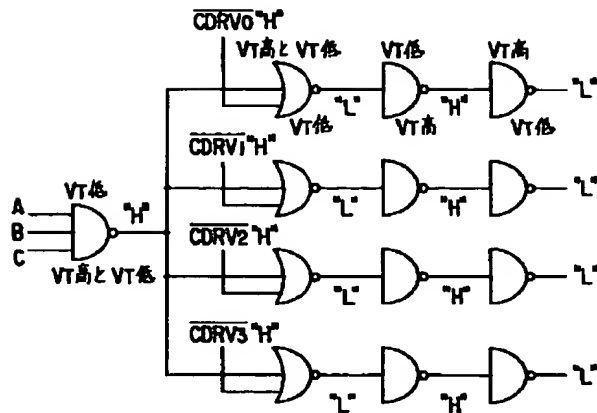
【図5】



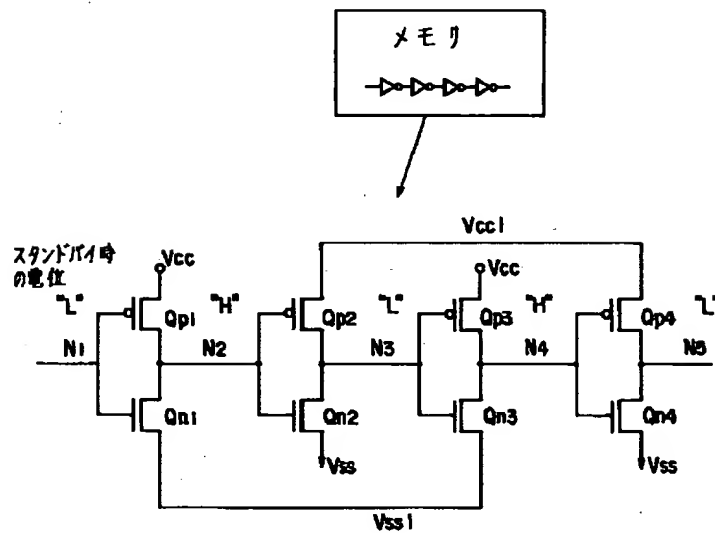
【図15】



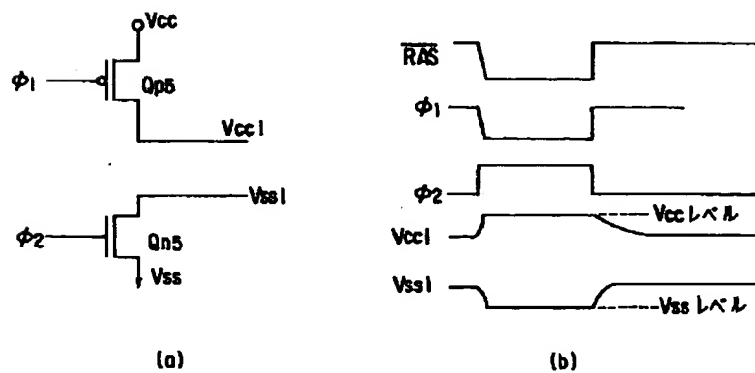
【図7】



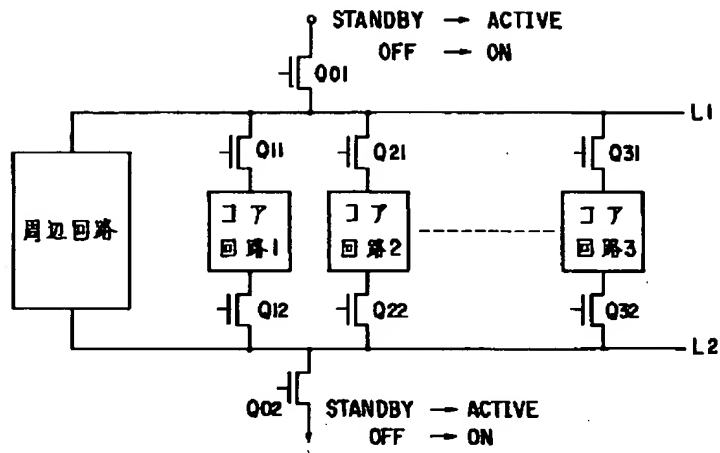
【図8】



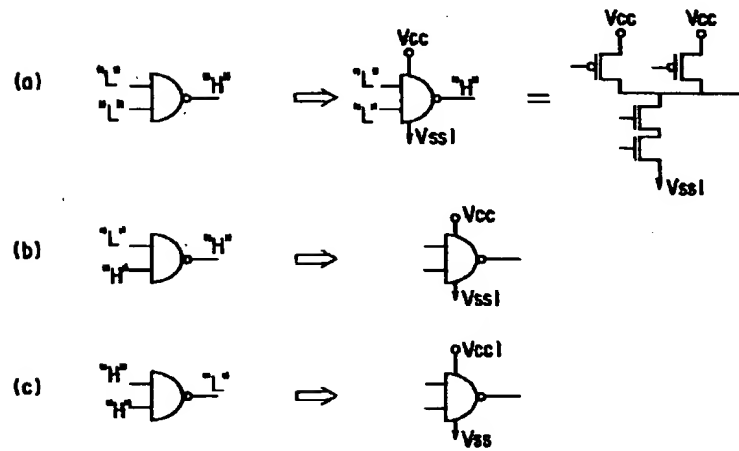
【図10】



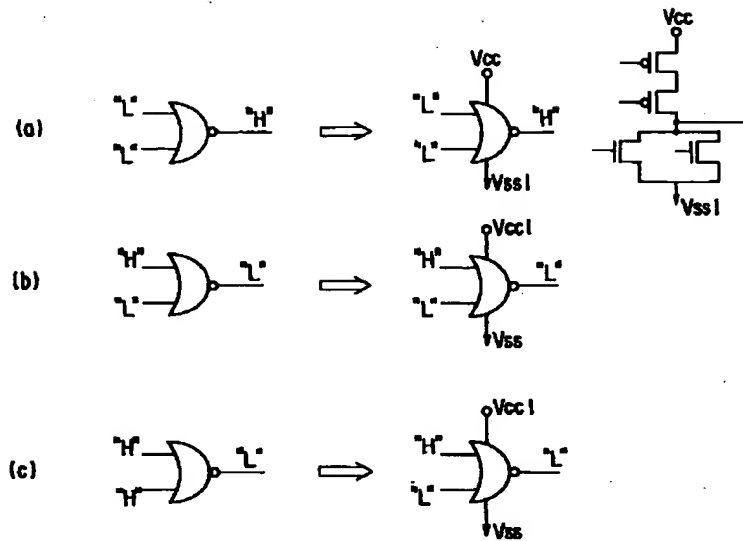
【図11】



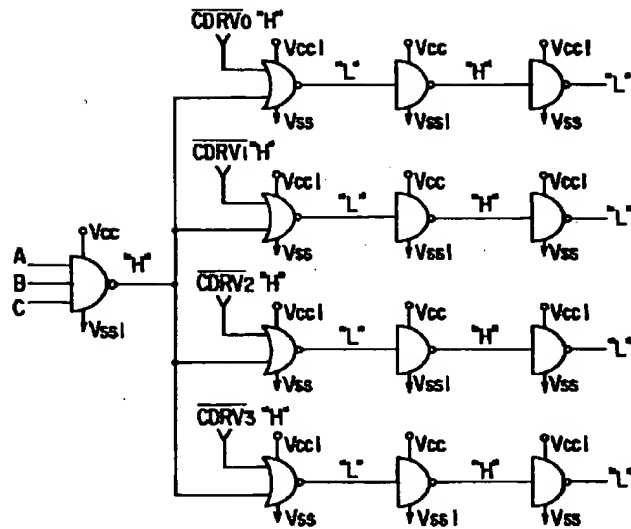
【図12】



【図13】



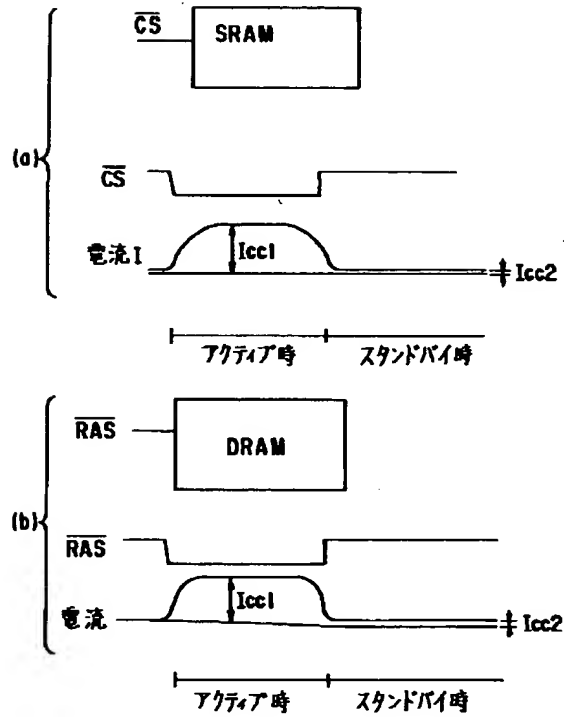
【図14】



【図16】



【図17】



フロントページの続き

(51)Int. Cl.<sup>5</sup>

H03K 19/0948

識別記号

庁内整理番号

F I

技術表示箇所

8321-5J

H03K 19/094

B

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the semiconductor device of a configuration of having been suitable for especially low-battery-ization with respect to the semiconductor device with which the active actuation with the large consumed electric current and the stand motorcycle actuation with the very small consumed electric current exist.

[0002]

[Description of the Prior Art] In recent years, the fall of an internal electrical power source Vcc is advanced with low-power-ization for high integration of DRAM or other LSI, and a dc-battery drive. For example, in DRAM, as shown in drawing 15 (a), the internal electrical power source Vcc of operation tends to fall for every generation. Specifically by 1G and 4G bit DRAM, Vcc falls even to 1.5-1.0V. Moreover, also in LSI for a cell drive (dc-battery drive), 1.5V - 0.8V actuation is demanded as Vcc.

[0003] However, it sets to LSI and is the threshold electrical potential difference Vt of an MOS transistor. It is Vt, as it exists and is shown in drawing 15 (b). When Vcc approaches near, there is a problem to which a speed (gate propagation delay time) of operation falls rapidly. In order to prevent this, it is the threshold electrical potential difference Vt. If it is made small, a stand motorcycle current will cause the problem which increases rapidly.

[0004] Some [ a certain ] circuits in memory are shown in drawing 16 as a conventional example. This is the example of three steps of inverters. At the time of a stand motorcycle, it is a node N1. N3 It is set to "L" level and is a node N2. N4 It is set to "H" level. When two steps of inverters are seen a front at this time, it is a transistor Q1. Q4 It lets it pass and leakage current I<sub>leak</sub> flows. This condition exists in the whole memory similarly, and if the threshold of a transistor is lowered, leakage current will increase sharply.

[0005] Drawing 15 (c) is the threshold electrical potential difference Vt of a transistor. Relation with the stand motorcycle current of a 16 M bit DRAM level chip is shown. This drawing shows that the threshold-electrical potential difference of at least 0.6 V is needed, in order to suppress a SUNDObAI current to 1microA.

[0006] Change of the current at the time of the stand motorcycle of SRAM (a) and DRAM (b) and the time of active is shown in drawing 17. It is a current at the time of Icc1 and a stand motorcycle about the current at the time of active Icc2 It carries out. Usually, although it changes into a stand motorcycle condition and a current is reduced, when not accessing data, since the period of a stand motorcycle condition is farther [ than that of an active state ] longer, memory is the current Icc2 at this time. It is necessary to make it fully fall. This stand motorcycle condition serves as a conclusive factor of the current when not operating by the battery back-up.

[0007]

[Problem(s) to be Solved by the Invention] Thus, when the internal electrical power source Vcc of LSI is low-battery-ized in the conventional semiconductor device, Vcc is the threshold Vt of a transistor. There is a problem to which it approaches and a working speed becomes slow, and it is a threshold Vt. When lowered, there was a problem that a stand motorcycle current increased.

[0008] It is in offering the semiconductor device which this invention was made in consideration of the above-mentioned situation, the place made into the purpose can maintain high-speed operation also when an internal electrical power source is low-battery-ized, and can suppress a stand motorcycle current low.

[0009]

[Means for Solving the Problem] The main point of this invention is to perform a setup of the threshold of an MOS transistor, and an adjustable setup of the power sources Vcc and Vss at the time of a stand motorcycle, in order to solve the opposite problem of the consumed-electric-current reduction at the time of a stand motorcycle, and high-speed operation.

[0010] Namely, the time of active when the consumed electric current of this invention (claim 1) is large, and the time of a stand motorcycle with the very small consumed electric current exist. In the semiconductor device which has the MOS transistor of the p channel and n channel which use as the source or a drain the connection node which is fixed to fixed "H" level or "L" level at the time of a stand motorcycle It is characterized by setting up more highly than the threshold of the transistor turned on at the time of a stand motorcycle the threshold of the transistor cut off at the time of a stand motorcycle about the MOS transistor of the same channel. Here, the following are raised as a desirable embodiment of this invention.

[0011] (1) Set up the channel width of a transistor with a lower threshold about the MOS transistor of the same channel smaller

than the channel width of a transistor with a higher threshold.

[0012] (2) When the series connection of the MOS transistors, such as NOR and NAND, is carried out and this series circuit cuts off at the time of a stand motorcycle, make high the threshold electrical potential difference of at least one piece of the transistor of a series connection.

[0013] Moreover, the time of active when the consumed electric current of this invention (claim 3) is large, and the time of a stand motorcycle with the very small consumed electric current exist. In the semiconductor device which has the MOS transistor of the p channel and n channel which use as the source or a drain the connection node which is fixed to fixed "H" level or "L" level at the time of a stand motorcycle The Vcc power-source side which the pMOS transistor cut off at the time of a stand motorcycle has connected The Vss power-source side which the nMOS transistor which lowers rather than the potential of Vcc at the time of a stand motorcycle, and is cut off at the time of a stand motorcycle has connected It is characterized by not changing potential by the side of each power source linked to pMOS which raises rather than the potential of Vss at the time of a stand motorcycle, and is turned on at the time of a stand motorcycle, and nMOS. Here, the following are raised as a desirable embodiment of this invention.

[0014] (1) When the series connection of MOS tolan JITASU, such as NOR and NAND, is carried out and Vcc and Vss are in the edge, in the series circuit cut off at the time of a stand motorcycle, lower the Vcc and raise Vss.

[0015] (2) When two or more core circuits where two or more cels which consist of an MOS transistor of a p channel and an n channel have been arranged are prepared, the core circuit which is not chosen even if the time of active comes should hold the Vss power-source side which the nMOS transistor cut off at the time of a stand motorcycle the Vcc power-source side which the pMOS transistor cut off at the time of a stand motorcycle has connected has connected to the same potential as the time of a stand motorcycle.

[0016]

[Function] According to this invention (claims 1 and 2), the following operations are done so by setting up the threshold of the transistor cut off at the time of a stand motorcycle, and the transistor to turn on as mentioned above. For example, it becomes possible to time improvement in the speed, without increasing the leakage current at the time of a stand motorcycle by making the threshold of the transistor to turn on low, without changing the threshold of the transistor to cut off. On the contrary, it becomes possible to control the leakage current at the time of a stand motorcycle, without checking high-speed operation by making the threshold of the transistor to cut off high, without changing the threshold of the transistor to turn on.

[0017] The threshold of the transistor cut off although the leakage current at the time of a stand motorcycle will pose a problem if the threshold of both transistors is lowered when it low-battery-izes is made high to extent which can reduce a stand motorcycle current, and it becomes possible to realize high-speed operation by making the threshold of the transistor to turn on low to extent to which the current at the time of active does not increase sharply, controlling a stand motorcycle current.

[0018] Moreover, when a threshold electrical potential difference narrows channel width of a low transistor and makes large channel width of a transistor with a high threshold electrical potential difference, from motorcycle a stand, since active, active gate delay can be made the about the same as the gate delay to motorcycle a stand, and it becomes possible to make quick speed of operation in the whole LSI.

[0019] Since a gate input has "L" level by raising the potential of Vss connected to the nMOS transistor which an input cuts off on "L" level in stand motorcycle actuation according to this invention (claim 3), the electrical potential difference between the gate sources serves as minus potential. Therefore, even if it makes low the threshold electrical potential difference of this nMOS transistor, it can be sharply improved by the cut-off characteristic and it can suppress leakage current.

[0020] Since a gate input is still "H" level by lowering the potential of Vcc linked to the pMOS transistor to which an input cuts off pMOS on "H" level in stand motorcycle actuation similarly, the electrical potential difference between the gate sources progresses in the direction to cut off. Therefore, even if it makes low the threshold electrical potential difference of this pMOS transistor, a cut-off characteristic becomes good sharply and can suppress leakage current.

[0021] Thus, it becomes possible to be able to lower the threshold of the MOS transistor cut off at the time of a stand motorcycle, to be able to realize high-speed operation, even if this lowers the potential of Vcc conventionally, and to suppress the leakage current at the time of a stand motorcycle.

[0022]

[Example] Hereafter, the example of this invention is explained with reference to a drawing.

[0023] First, the example of invention of claim 1 is explained. Drawing 1 shows some logic gates of the circuit of general memory concerning the 1st example of this invention. This is the example of three steps of inverters.

[0024] As shown in said drawing 16, a stand motorcycle condition exists that memory is active, and almost all the circuits in a memory chip have a certain fixed value at the time of a stand motorcycle. That is, each node serves as Vss of Vcc of "H" level, or "L" level.

[0025] At the example of drawing 1, they are a node N1 and N3. "L" level, a node N2, and N4 It has "H" level. The transistor Q1 by which Vcc is added between source drains if two steps of inverters are seen a front at this time (it has cut off), and Q4 If the threshold electrical potential differences  $V_{t1}$  and  $V_{t4}$  are made still high (the conventional threshold electrical potential difference), a stand motorcycle current can be suppressed for example, to 1microA. And the transistor Q2 whose electrical potential difference between source drains is 0V (it turns on) and Q3 Even if it makes low the threshold electrical potential differences  $V_{t2}$  and  $V_{t3}$ , a stand motorcycle current does not increase.

[0026] From the above-mentioned reason, the threshold electrical potential differences  $V_{t2}$  and  $V_{t3}$  can be reduced, without

increasing the leakage current at the time of a stand motorcycle. Although increase of the leakage current of the transistor at the time of active will take place if  $V_{t2}$  and  $V_{t3}$  are lowered, as it is shown in said drawing 17, the active current of memory is large, and since there are generally also several 10mA - 100mA of numbers, even if there is leakage current of many smallness, it can ignore. For example, if 1mA leakage current is allowed, the threshold current of  $V_{t2}$  and  $V_{t3}$  can fall even to 0.3V from drawing 15 (c). Considering the point which needs the threshold electrical potential difference of 0.6V, this will be set to  $V_{t1}-V_{t2}=0.3V$  and  $|V_{t4}|-|V_{t3}|=0.3V$ , if leak of  $V_{t1}$  and  $V_{t4}$  sets to 1microA the more nearly same than drawing 15 (c). That is, it becomes  $V_{t1}>V_{t2}$  and  $|V_{t4}|>|V_{t3}|$ .

[0027] The gate delay at this time is shown in drawing 2. drawing 2 -- setting -- (a) -- the conventional total -- the case where  $V_t$  is high is shown and (b) and (c) show the case of this example. It sets to drawing 2 (b) and is delay  $d1$  and  $d3$ . Although it is as usual, it is delay  $d2$  and  $d4$ . Since  $V_{t2}$  and  $V_{t3}$  are made low, gate delay is small and has been accelerated from the active state at the time of change of a stand motorcycle condition.

[0028] Here, a threshold is the high-speed transistor Q2 and Q3 low. It sets and they are a part with the quick rate, channel width  $W2$ , and  $W3$ . It is made small and a rate is reduced. And a threshold is this  $W$  that decreased highly The low-speed transistor Q1 and Q4 It distributes and is  $W1$  and  $W4$ . It enlarges and is Q1 and Q4. It is accelerable.

[0029] namely,  $W1 > W2$  and  $W4 > W3$  Then, delay  $d1$ ,  $d2$ ,  $d3$ , and  $d4$  shown in drawing 2 (c) \*\* -- delay  $d1$ ,  $d2$ ,  $d3$ , and  $d4$  of drawing 2 (a) At the time of a  $V_{cc}$  minimum, delay can be made small and it can accelerate.

[0030] Drawing 3 shows the gate propagation delay time in the  $V_{cc}$  minimum of this example. It is (1) in the former, for example, the delay at the time of  $V_t=0.6V$ . It is shown. On the other hand, it is delay when setting all to  $V_t=0.3$  (3) Although shown, a stand motorcycle current increases in this case. this example --  $V_t =$  -- two kinds, 0.3 and 0.6, are applied to both pMOS and nMOS. And conventional Q1, Q2, Q3, and Q4  $W$  by the case where it is referred to as  $W1=W$ ,  $W2=W$ ,  $W3=2W$ , and  $W4=2W$  The transistor Q1 of  $V_t=0.6V$  at the time of the  $V_{cc}$  minimum of this example, and Q4 It is Q2 of  $V_t=0.3(V)$ , and Q3 from speed. When the speed of a transistor is a  $K$  time high speed, it is  $W1 = 2kW/(K+1)$ .

$W2 = 2W/(K+1)$

$W3 = 4W/K+1$   $W4 = 4KW/(K+1)$

[0031] \*\* -- carrying out -- as  $W1/W2 = K$  time and  $W4/W3 = K$  time -- Q1 and Q4 channel width -- Q2 and Q3 channel width --  $K$  -- doubling -- motorcycle an active -> stand and stand motorcycle -> -- active speed is made the same. In this case, motorcycle an active -> stand, motorcycle a stand -> active delay is as follows about. namely, stand motorcycle -> -- active delay -- this example --  $(K+1) / \text{the } 2kW + \{(K+1) / 4kW\} \times 2$  conventional example --  $(1/W) + (1/2W) \times 2$  -- becoming -- the direction of this example -- the conventional example --  $2K / (K+1)$  twice -- it becomes quick. Moreover, delay of motorcycle an active -> stand is set to  $(1/W) + (1/2W) \times 2$  by this example in the  $\{(K+1) / 2W\} \times (1/K) + \{(K+1) / 4W\} \times (1/K) \times 2$  conventional example. stand motorcycle -> -- the case of being active -- the same -- the direction of this example -- the conventional example --  $2K/(K+1)$  twice -- it becomes quick. namely, -- if the conventional delay is set to 1 -- all -- by  $1/K$ , since delay of this example is set to  $(K+1) / 2K$ , delay of transistor  $V_t=0.3$  serves as speed of the middle [ delay / of this example ] in  $\{1 + (1/K)\} / 2 = (K+1) / 2K$ .

Drawing 3 (1) To (3) middle It is shown that (2) comes.

[0032] Thus, the transistor Q1 which is cut off at the time of a stand motorcycle according to this example and Q4 Since thresholds  $V_{t1}$  and  $V_{t4}$  remain as they are, the leakage current at the time of a stand motorcycle can be reduced. Moreover, since a big active current flows at the time of active, since the transistor (it turns on at the time of a stand motorcycle) Q2 turned off at the time of active and the thresholds  $V_{t2}$  and  $V_{t3}$  of Q3 should be just low compared with an active current, thresholds  $V_{t2}$  and  $V_{t3}$  can do them low. Therefore, since active, the gate propagation delay time when changing to motorcycle a stand becomes short sharply, and can be accelerated also by low  $V_{cc}$ . That is, improvement in the speed can be timed, without increasing the leakage current at the time of a stand motorcycle.

[0033] Moreover, the transistor Q2 with a low threshold electrical potential difference and Q3 Channel width is narrowed and it is the transistor Q1 with a high threshold electrical potential difference, and Q4. By making channel width large, from motorcycle a stand, since active, active gate delay can be made the about the same as the gate delay to motorcycle a stand, and thereby, speed of operation in the whole LSI can be made quick.

[0034] (a) - (c) of drawing 4 and drawing 5 shows the 2nd example of this invention, respectively. This is the example which applied this invention to not only an inverter but NAND, or the NOR gate.

[0035] Threshold  $V_t$  of the nMOS transistor cut off at the time of a stand motorcycle when an output serves as "H" in NAND at the time of a stand motorcycle, as shown in drawing 4 (a) and (b) Threshold  $V_t$  of the pMOS transistor cut off at the time of a stand motorcycle when an output is set to "L" at the time of a stand motorcycle, as it is made high and shown in drawing 4 (c) It is made high. Here, when an output is "H" at the time of a stand motorcycle, for a serial nMOS transistor, at least one is a threshold  $V_t$ . What is necessary is just high.

[0036] Threshold  $V_t$  of the nMOS transistor cut off at the time of a stand motorcycle when an output serves as "H" in NOR at the time of a stand motorcycle, as shown in drawing 5 (a) Threshold  $V_t$  of the pMOS transistor cut off at the time of a stand motorcycle when an output is set to "L" at the time of a stand motorcycle, as it is made high and shown in drawing 5 (b) and (c) It is made high. Here, when an output is "L" at the time of a stand motorcycle, for a serial pMOS transistor, at least one is a threshold  $V_t$ . What is necessary is just high.

[0037] Thus, this invention can be applied not only to an inverter but to various kinds of LSI, and the same effectiveness as the 1st example is acquired. Moreover, it is a threshold  $V_t$  like the 1st example. A low thing makes Channel  $W$  small and is  $V_t$ . The high thing is more effective if  $W$  is enlarged.



[0038] Drawing 6 shows the 3rd example which applied this invention to DRAM. At this example, since between source drains is 0V at the time of a stand motorcycle in precharge of  $V_{cc}$  (1/2), it is the threshold  $V_t$  of all transistors. It can do low.

[0039] Drawing 7 shows the 4th example of this invention. This is the example which applied this invention to the column decoder of DRAM. Based on the potential of the node of motorcycle a stand, it is altogether accelerable by changing the height of  $V_t$ , and the magnitude of  $W$ .

[0040] A node can apply invention of claim 1 to the circuit of immobilization as mentioned above at the time of all stand motorcycles. And in the place where a margin of operation is severe, it is  $V_t$  to both nMOS and pMOS in part. Since the whole leakage current is not influenced even if it uses a low thing,  $V_{cc}$  of this invention is effective in low actuation in the whole chip.

[0041] Next, the example of invention of claim 3 is explained. Drawing 8 shows some ethics gates of the circuit of general memory concerning the 5th example of this invention. This is the example of four steps of inverters.

[0042] As shown in said drawing 16, a stand motorcycle condition exists that memory is active, at the time of a stand motorcycle, almost all the circuits in a memory chip have a certain fixed value, namely, each node serves as  $V_{ss}$  of  $V_{cc}$  of "H" level, or "L" level.

[0043] At the example of drawing 8, they are a node  $N_1$ ,  $N_3$ , and  $N_5$ . "L" level, a node  $N_2$ , and  $N_4$  It has "H" level. At this time, the high potential difference has occurred by the conventional method between source drains in nMOS of transistors  $Q_{n1}$  and  $Q_{n3}$ , and pMOS of  $Q_{p2}$  and  $Q_{p4}$ .

[0044] At this example, it is  $V_{ss}$  of this power source of  $Q_{n1}$  and  $Q_{n3}$   $V_{ss1}$  of chip internal control It carries out and is  $V_{cc}$  of the power source of  $Q_{p2}$  and  $Q_{p4}$   $V_{cc1}$  of chip internal control It carries out and is  $V_{cc1}$  at the time of a stand motorcycle. It is made lower than  $V_{cc}$  and is  $V_{ss1}$ . It is characterized by making it higher than  $V_{ss}$ . Thereby at the time of a stand motorcycle, the potential between the gate sources of  $Q_{n1}$  is  $V_{ss}-V_{ss1}-V_t < -V_t$  because of  $V_{ss}-V_{ss1}$  ( $V_{ss1} > V_{ss}$ ). It becomes and is the threshold  $V_t$  of the usual transistor. A cut-off characteristic is sharply improved from the transistor between [ whose ] the gate sources is 0V.

[0045] For example,  $V_t = 0.3V$  become the same as the property of the conventional transistor of  $V_t = 0.6V$  by  $V_{ss}-V_{ss1}-V_t = -0.3-0.3=-0.6$ . Since the threshold electrical potential difference of the whole circuit can be lowered, as it is shown in drawing 9 by this, gate propagation delay time is shortened sharply, and it is the conventional  $V_t$ . Actuation of LSI is attained by low  $V_{cc}$  and, moreover, a stand motorcycle current can be suppressed as usual. Of course, at the time of active, they are  $V_{ss1}$  and  $V_{cc1}$ . A node is returned to the potential of  $V_{ss}$  and  $V_{cc}$  and serves as the same approach of operation as the usual LSI.

[0046] Drawing 10 (a) is  $V_{ss1}$  in the 5th example, and  $V_{cc1}$ . A generating circuit and drawing 10 (b) show the signal waveform diagram in this circuit. At the time of active, it becomes  $V_{cc1} < V_{cc}$ ,  $V_{ss1} > V_{ss}$  at the time of a  $V_{cc1} = V_{cc}$  and  $V_{ss1} = V_{ss}$  stand motorcycle by synchronizing the clock of  $\phi_1$  and  $\phi_2$  with RAS, and operating, as shown in drawing 10 (b).  $\phi_1$  and  $\phi_2$  They are  $V_{cc1}$  and  $V_{ss1}$  automatically by cutting  $Q_{p5}$  and  $Q_{n5}$  at the time of a stand motorcycle. Potential becomes below  $V_{cc}$  more than  $V_{ss}$ .

[0047] Moreover, drawing 11 shows the typical example of a configuration applied to memory. The MOS transistor cut off at the time of the stand motorcycle of a circumference circuit is a highway  $L_1$ . And  $L_2$  It connects. One terminal of the pMOS transistor which is cut off at the time of the stand motorcycle of each core circuit minds transistors  $Q_{11}$ ,  $Q_{21}$ - $Q_{31}$ , and is a highway  $L_1$ . It connects. One terminal of the nMOS transistor which is cut off at the time of the stand motorcycle of each core circuit minds transistors  $Q_{12}$ ,  $Q_{22}$ - $Q_{32}$ , and is a highway  $L_2$ . It connects. And highway  $L_1$  It connects with a power source  $V_{cc}$  through a transistor  $Q_{01}$ , and is a highway  $L_2$ . It connects with the power source  $V_{ss}$  through the transistor  $Q_{02}$ .

[0048] And at the time of a stand motorcycle, transistors  $Q_{01}$  and  $Q_{02}$  are off, and it is a highway  $L_1$ .  $V_{cc1}$  Potential and highway  $L_2$   $V_{ss1}$  At the time of active, it becomes potential, transistors  $Q_{01}$  and  $Q_{02}$  are ON, and it is a highway  $L_1$ . The potential of  $V_{cc}$ , and highway  $L_2$  It becomes the potential of  $V_{ss}$ . Furthermore, for the core circuit 1, transistors  $Q_{11}$  and  $Q_{12}$  serve as potential of  $V_{cc}$  and  $V_{ss}$  by ON at the time of active, for example, transistors  $Q_{11}$  and  $Q_{12}$  are  $V_{cc1}$  by OFF.  $V_{ss1}$  It becomes potential. In addition, although not shown in this drawing, power sources  $V_{cc}$  and  $V_{ss}$  are connected to the required parts of a circumference circuit and each core circuit.

[0049] At such structure, it is a highway  $L_1$  and  $L_2$ . Since many core circuits are connected, a big drive current is needed at the time of stand motorcycle -> active, or the time of an active -> stand motorcycle. Then, each core circuit, a highway  $L_1$ , and  $L_2$  He installs transistors  $Q_{11}$ - $Q_{32}$  in between, and is trying only for the core circuit to choose to turn a transistor on and off.

[0050] Since with such a configuration the potential of  $V_{cc}$  and  $V_{ss}$  is changed in not all core circuits in the case of motorcycle a stand and the switch by being active but the potential of  $V_{cc}$  and  $V_{ss}$  is changed in some core circuits, the consumed electric current at the time of stand motorcycle -> active or the time of an active -> stand motorcycle can be reduced sharply.

[0051] Drawing 12 and drawing 13 show the 6th example of this invention. Drawing 12 (a) - (c) is  $V_{ss1}$  in the fixed node at the time of each stand motorcycle of a NAND gate, and  $V_{cc1}$ . Directions are shown. Drawing 13 (a) - (c) shows the example of the NOR gate. In addition, although it is the same in other logic gates, when an output is "H" at the time of a stand motorcycle, it is  $V_{ss1}$  instead of  $V_{ss}$ . When it uses and an output is "L" at the time of a stand motorcycle, it is  $V_{cc1}$  instead of  $V_{cc}$ . What is necessary is just to use.

[0052] Drawing 14 shows the 7th example of this invention, and this is the example of the column decoder of DRAM. It is shown using the notation of drawing 12 and drawing 13. This is realizable similarly according to the Ruhr explained by drawing 12 and drawing 13. In addition, this invention is not limited to each example mentioned above, it is the range which does not deviate from the summary, and can deform variously and can be carried out.

[0053]

[Effect of the Invention] It becomes possible to realize the semiconductor device which could solve the opposite problem of the consumed-electric-current reduction at the time of a stand motorcycle, and high-speed operation by performing a setup of the threshold of an MOS transistor, and an adjustable setup of the power sources  $V_{cc}$  and  $V_{ss}$  at the time of a stand motorcycle according to this invention, maintained high-speed operation also when an internal electrical power source was low-battery-ized as explained in full detail above, and suppressed the stand motorcycle current low.

---

[Translation done.]